

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246489
 (43)Date of publication of application : 30.08.2002

(51)Int.CI. H01L 23/00
 H01L 23/14

(21)Application number : 2001-263887 (71)Applicant : SAMSUNG ELECTRONICS CO LTD
 (22)Date of filing : 31.08.2001 (72)Inventor : CHO CHANG-HO
 SHIN HYUNG-JAE
 KIM WOON-BAE

(30)Priority

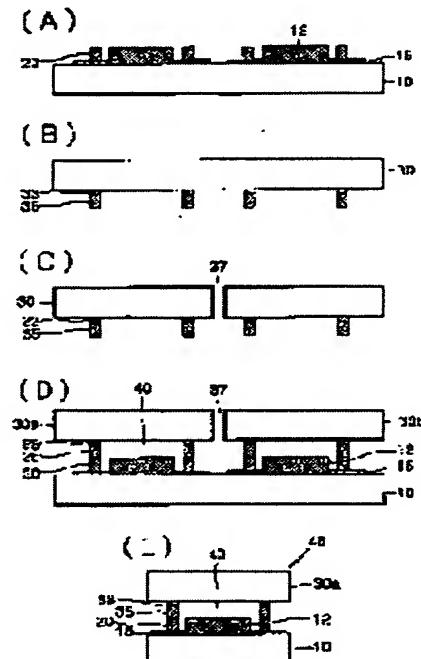
Priority number : 2001 200105256 Priority date : 03.02.2001 Priority country : KR

(54) WAFER LEVEL HERMETIC SEALING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wafer level hermetic sealing method for sealing a semiconductor element, which does not resist a high temperature and is affected by heat circulation, at a low temperature by eliminating influence by water, particle or the like.

SOLUTION: The method comprises a step for fabricating a semiconductor element on a wafer, a step for forming a lid wafer, a step for forming a junction part consisting of solder at a prescribed position on a wafer or a lid for wafer, a step for sealing a wafer and a lid wafer by a junction part and a step for dicing a sealed wafer level element at a chip unit. Since a semiconductor element is sealed at a wafer level and cut, a processing time is reduced and operation is easy, when a moving structure such as MEMS is included. Furthermore, since sealing is carried out at a low temperature with solder, it is useful for packaging a semiconductor element which does not resist heat.



LEGAL STATUS

[Date of request for examination] 31.08.2001

[Date of sending the examiner's decision of rejection] 05.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-246489
(P2002-246489A)

(43)公開日 平成14年8月30日 (2002.8.30)

(51)Int.Cl.⁷
H 01 L 23/00
23/14

識別記号

F I
H 01 L 23/00
23/14

テ-マコ-ト⁸(参考)
C
S

審査請求 有 請求項の数 9 O L (全 5 頁)

(21)出願番号 特願2001-263887(P2001-263887)
(22)出願日 平成13年8月31日 (2001.8.31)
(31)優先権主張番号 20015256
(32)優先日 平成13年2月3日 (2001.2.3)
(33)優先権主張国 韓国 (KR)

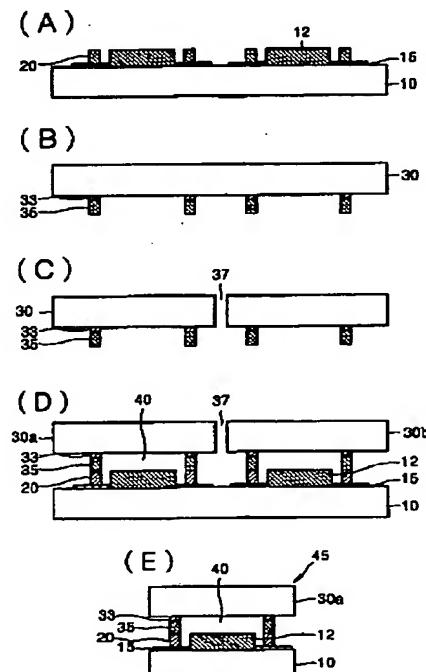
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 趙 壮鎬
大韓民国ソウル特別市江西区空港洞72-78
番地
(72)発明者 慎 ▲ヒュン▼宰
大韓民国京畿道城南市盆唐区杏▲ヒュン▼
洞87番地示範韓信アパート125棟703号
(72)発明者 金 霽培
大韓民国京畿道水原市八達区梅灘4洞810
- 3番地三星1次アパート6棟308号
(74)代理人 100064908
弁理士 志賀 正武 (外1名)

(54)【発明の名称】 ウエーハレベルハーメチックシーリング方法

(57)【要約】

【課題】 水分や粒子等による影響を排除し、高温に弱かったり熱循環により影響される半導体素子を低温でシーリングできるウエーハレベルハーメチックシーリング方法を提供する。

【解決手段】 ウエーハ上に半導体素子を製作する段階と、リッドウェーハを形成する段階と、ウエーハまたはリッドウェーハ上の所定位置にハンダよりなる接合部を形成する段階と、接合部によりウエーハとリッドウェーハとをシーリングする段階と、シーリングしたウエーハレベルの素子をチップ単位にダイシングする段階とを含む。これにより、ウエーハレベルでシーリングして切断するので工程時間が短縮され、MEMSのように動く構造物がある場合に操作しやすいだけでなくハンダにより低温でシーリングするので熱に弱い半導体素子をパッケージングするのに有用である。



【特許請求の範囲】

【請求項1】 ウェーハ上に半導体素子を製作する段階と、リッドウェーハを形成する段階と、前記ウェーハまたはリッドウェーハ上の所定位置にハンダよりなる接合部を形成する段階と、前記接合部により前記ウェーハと前記リッドウェーハとをシーリングする段階と、前記シーリングしたウェーハレベルの素子をチップ単位にダイシングする段階とを含むことを特徴とするウェーハレベルハーメチックシーリング方法。

【請求項2】 前記接合部はIn、Sn、Ag、Pb、Sn、Au、Bi、Sb、Cd、Cuのうち一つで構成されるか、そのうち二つ以上の合金で構成されたことを特徴とする請求項1に記載のウェーハレベルハーメチックシーリング方法。

【請求項3】 前記接合部は融点が100-300℃の材質よりなることを特徴とする請求項2に記載のウェーハレベルハーメチックシーリング方法。

【請求項4】 前記接合部を形成する段階で、前記接合部は蒸着やスパッタリングにより形成されることを特徴とする請求項2に記載のウェーハレベルハーメチックシーリング方法。

【請求項5】 前記接合部を形成する段階で、前記ウェーハ及び/または前記リッドウェーハに接合補助部を形成して前記接合部の接着を補助するようになっていることを特徴とする請求項1または請求項2に記載のウェーハレベルハーメチックシーリング方法。

【請求項6】 前記接合補助部を形成する段階で、前記ウェーハとリッドウェーハを整列可能に前記接合部と接合補助部とを配置することを特徴とする請求項5に記載のウェーハレベルハーメチックシーリング方法。

【請求項7】 前記接合補助部は金属またはポリマー材質よりなることを特徴とする請求項5に記載のウェーハレベルハーメチックシーリング方法。

【請求項8】 前記ウェーハ上に電気信号をやり取りできる電気コネクタを具備することを特徴とする請求項1または請求項2に記載のウェーハレベルハーメチックシーリング方法。

【請求項9】 前記リッドウェーハを形成する段階で、所定位置にホールを形成して前記電気コネクタと前記ホールを通じた配線により電気的連絡が可能になっていることを特徴とする請求項8に記載のウェーハレベルハーメチックシーリング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はウェーハレベルハーメチックシーリング方法に係り、より詳細には水分や粒子による影響を排除し、高温に弱かったり熱循環に影響される半導体素子を低温でシーリングできるウェーハレベルハーメチックシーリング方法に関する。

【0002】

【従来の技術】 図1及び図2を参照すれば、半導体チップをハーメチックシーリングするために、従来にはまず表面微細加工をして犠牲層をエッティングしない状態でウェーハ上に半導体素子を製作する(S100)。表面微細加工とは、犠牲層を作つてその上に構造物を製作した後、犠牲層を除去することによって動く構造物を製作する方法をいう。表面微細加工を使用する場合、表面微細加工により犠牲層上に構造物を製作した後、犠牲層を除去しない状態でウェーハを半切断する(half sawed)(S103)。その後、犠牲層をエッティングして(S105)動く構造物を形成するが、動く構造物は特に操作に格別の注意が要求されるので、ホコリや粒子による付着(sticking)現象を防止するための第1付着防止膜をウェーハに蒸着する(S107)。付着防止膜(anti-stiction film)とは、表面エネルギーを低めて粒子やホコリなどが表面に付着する付着現象を抑制する膜をいう。

【0003】 付着防止膜を蒸着してから個々の素子をまずテストする(S110)。パッケージング工程のコストが高いために良品の素子を探し出すテスト工程は不可避である。このようなテスト工程とは、実際に構造物を動かしつつ行われるためにテスト工程前に付着防止膜を蒸着せねばならない。また、テストを進める所の雰囲気も水分がほとんどないように調節されてこそテスト過程で良品が不良品になる場合を防止できる。テストが終わればそれぞれのチップにウェーハを切断する(S113)。この時、ウェーハを切断する過程で粒子がたくさん生じて不良の発生率が高く、切断工程時に一般の半導体工程で使われる装置をそのまま使用できないので、M30EMSチップのための特別な装置を要するので生産コストアップの要因になる。

【0004】 切断工程が終われば各チップ105をダイ接合部103によりパッケージ100に取り付け(S115)、ワイヤボンディング118を通じて各チップ105とパッケージ100とを連結する(S117)。一方、ワイヤボンディングする間にチップが外部に露出されているので付着防止膜などが汚染されれば粒子や水分が表面に吸着される。したがって、このような粒子を除去するために洗浄工程を行う(S120)。洗浄工程中に第1付着防止膜も除去されるので再び第2付着防止膜を蒸着せねばならない(S123)。洗浄工程中に付着防止膜が除去されない場合にも、大気中に長い間露出されれば水分が表面に吸着されるために第2付着防止膜蒸着工程は必須である。前記第2付着防止膜はパッケージ単位で蒸着される。

【0005】 その後、第2付着防止膜が蒸着されたパッケージにリッド(lids)115を整列させてシーリング110によりシーリングする(S127)。ここで参照符号113はリードフレームを示す。このようにチップ105をシーリングしない状態でテストした後、パッケー

ジ100に取り付ける過程で副産物、水分、粒子などが生じてチップの不良を起こすのでシーリングした後に再び第2テストを経なければならない(S127)。

【0006】前記のようにチップ状態でシーリングすれば工程時間が多くかかるだけでなく、特にMEMSチップのように動く構造物がある場合にかなりチップを操作し難いために、チップを操作するための別の装置が必要になってこれによる追加コストが生じる。また、付着防止膜を二回にわたり蒸着し、二回のテストをする等、作業環境維持のためにかかる努力や時間、コストが増加する。また、シーリングする前に蒸着する第2付着防止膜はパッケージ単位で行われるので蒸着面積が広くて付着防止膜工程時間が非常に多くかかる。

【0007】前記パッケージ100とリッド115とをハーメチックシーリングする方法としては、ウェルディング方法、ガラス高温融着方法がある。ここでウェルディング方法について説明すれば、前記リッド115にリードフレーム113をつけ、パッケージ100とリッド115との間にシーリング110を介在させてウェルディングを通じてリッド115をパッケージ100に接合する。この時、密封状態を保証するために高コストのセラミックや金属を使用せねばならない問題点がある。

【0008】それ以外にウェーハレベルでボンディングする方法としては、シリコンウェーハ間をヒュージョンボンディングする(silicon-silicon fusion bonding)方法、シリコンウェーハにガラスウェーハをアノードボンディングする(silicon-glassbonding)方法、Auなどを媒介とする共融ボンディング方法、ガラスフリット(glass frit)を用いて接合する方法などが使われる。ところがこのような方法は、先ずシーリングしようとする面の清潔度が非常に重要であり、高い温度や圧力が必要である。

【0009】したがって、このような方法は相対的に低い溶融温度を有するアルミニウムアクチュエータを使用するMEMSチップには適していないし、450℃程度の比較的低い温度で接合されるシリコンガラスアノードボンディングの場合にも、アルミニウムアクチュエータには高い温度だけでなく高い電圧を要求して半導体に影響を与える問題点がある。

【0010】

【発明が解決しようとする課題】本発明は前記問題点を解決するために案出されたものであり、水分や粒子に敏感な半導体チップについて、これらの影響を排除できるようにウェーハレベルでシーリングし、高温に弱いMEMS等の構造に適合に低温でシーリングできるウェーハレベルハーメチックシーリング方法を提供することにその目的がある。

【0011】

【課題を解決するための手段】本発明に係るウェーハレベルハーメチックシーリング方法は前記の目的を達成す

るために、ウェーハ上に半導体素子を製作する段階と、リッドウェーハ(lid wafer)を形成する段階と、前記ウェーハまたはリッドウェーハ上の所定位置にハンダ(solder)によりなる接合部を形成する段階と、前記接合部により前記ウェーハと前記リッドウェーハとをシーリングする段階と、前記シーリングしたウェーハレベルの素子をチップ単位にダイシングする段階とを含むことを特徴とする。

【0012】また、前記接合部はIn、Sn、Ag、Pb、Sn、Au、Bi、Sb、Cd、Cuのうち一つで構成されるか、そのうち二つ以上の合金で構成されたことを特徴とする。また、前記接合部は融点が100-300℃の材質よりもなることを特徴とする。

【0013】また、前記接合部を形成する段階で、前記接合部は蒸着やスパッタリングにより形成されることを特徴とする。

【0014】また、前記接合部を形成する段階で、前記ウェーハ及び/または前記リッドウェーハに接合補助部を形成して前記接合部の接着を補助するようになっていくことを特徴とする。

【0015】また、前記接合補助部を形成する段階で、前記ウェーハとリッドウェーハを整列させるべく前記接合部と接合補助部とを配置することを特徴とする。また、前記接合補助部は金属またはポリマー材質よりもなることを特徴とする。

【0016】また、前記ウェーハ上に電気信号をやり取りできる電気コネクタを具備することを特徴とする。また、前記リッドウェーハを形成する段階で、所定位置にホールを形成して前記電気コネクタと前記ホールとを通じた配線により電気的連絡が可能になっていることを特徴とする。

【0017】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施形態について詳細に説明する。

【0018】図3(A)ないし図3(E)を参照すれば、本発明はウェーハレベルでシーリングするものであり、導体素子をウェーハレベルで製作し、リッドもウェーハレベルで別途に製作した後、ハンダを用いて低温でシーリングすることを特徴とする。

【0019】先ず、図3(A)に示したようにウェーハ10上に全体的に半導体素子12を製作する。そして、ここに外部との電気的連絡のための電気コネクタ15を形成できる。

【0020】一方、図3(B)のように光信号を送受信できるリッドウェーハ30を前記ウェーハ10と別途に備え、前記ウェーハ10とリッドウェーハ30とをボンディングするための接合部35を形成する。前記リッドウェーハ30は外部との光信号交換のために透明な材質のガラスなどを使用できる。この時、前記接合部35は前記リッドウェーハ30に形成したが、前記ウェーハ1

0に形成する場合もある。ここで、前記接合部35はハンダ、金属または有機シーラントなどが使われることができ、プレフォーム状である場合もあり、また蒸着やスパッタリングを通して蒸着する場合もある。

【0021】そして、前記接合部35を形成する前に前記ウェーハ10及び/または前記リッドウェーハ30に前記接合部35の接着を補助するための接合補助部20、33をさらに形成できる。ここで、前記接合補助部20、33は金属またはポリマー材質となりうる。特に、前記接合部35と接合補助部20、33とを形成する時にリッドウェーハ30に前記ウェーハ10が整列さるべき配置することによって容易で正確に半導体素子をウェーハレベルでシーリングできる。

【0022】一方、図3 (C) のように前記電気コネクタ15に電気的連絡をする場合に必要な空間を確保するために前記リッドウェーハ30に電気接続用ホール37を形成できる。すなわち、このホール37は、前記電気コネクタ15のうちウェーハ表面に一部露出された部分と配線を通じて電気的に連絡しようとする時に配線のための空間として活用される。

【0023】以上のように、ウェーハ10とリッドウェーハ30とが製作された後に、前記ウェーハ10は、前記接合部35及び接合補助部20、33を基礎とする前記リッドウェーハ30に合わせて整列され、好適な雰囲気の下で前記ウェーハ10とリッドウェーハ30とをシーリングする。この時、前記ウェーハ10とリッドウェーハ30とをシーリングすれば内部に空洞40が形成される。シーリング工程ではハンダを使用すれば低温でシーリングできる。ここで、ハンダはIn、Sn、Ag、Pb、Sn、Au、Bi、Sb、Cd、Cuのうち一つで構成されるか、そのうち二つ以上の合金で構成されることが望ましい。特に、前記ハンダは融点が100-300°C、より望ましくは100-200°Cの材質となる。例えば、BiSnPb、BiPbSn、BiSnCd、BiIn、BiPbSnCd、BiSnPbCdCu、InCd、BiPb、InSn、InSnPbCd、BiPb、PbBiSn、BiSnInPb、InSnPb、BiPbSnAg、InAg、BiCd、InGa、PbBi、SnAg、InPb、SnZn、SnPbBi、SnPbSb、AuSn、SnCuなどがある。

【0024】シーリングを完了した後には、図3 (E) のようにウェーハレベルで形成されたものを切断してそれぞれのチップ45に分離する。このようにウェーハレベルで切断すれば切断作業時に前記チップ45にホコリや粒子、水分などが付着する恐れがない。

【0025】前記のようなシーリング方法によるフローチャートが図4に示されている。本発明に係るウェーハレベルシーリング方法は、ウェーハ10上にそれぞれの半導体素子12を製作し(S1)、これと独立的にリッドウェーハ30を製作して所定位置に前記ウェーハ10とのボンディングのための接合部35を形成した後(S

2)、前記ウェーハ10とリッドウェーハ30とを前記接合部35を用いてシーリングする(S4)。その後、前記ウェーハレベルで形成されたものをそれぞれのチップ単位にダイシングする(S5)。

【0026】ここで、前記リッドウェーハ30を形成する時、電気的接続のために必要な空間を確保するためにホール37を形成する段階(S3)をさらに具備できる。

【0027】

【発明の効果】以上のように、本発明に係るウェーハレベルハーメチックシーリング方法は、特に、水分やその他の粒子による付着現象が素子の寿命を短縮するMEMSチップや高温、水分、ガス副産物や粒子などの最小化が要求される固体撮像素子(CCD; Charged Coupled Device)やセンサー等に適用できる。また、一般の半導体素子と光通信用ハイブリッドチップとにも適用できる。

【0028】前述したように本発明に係るウェーハレベルハーメチックシーリング方法は、シーリングをウェーハレベルで行うので工程時間が短縮され、MEMSのように動く構造物がある場合に操作しやすく既存のダイシング工程をそのまま使用できるので生産コストが節減される利点がある。また、本発明では動く構造物を形成して直ぐシーリングした後、シーリングした状態でテスト及び取り付けなどを行うために、テスト過程時に生じるホコリや水分等による悪影響を排除できる。

【0029】また、本発明はハーメチックシーリング工程をハンダを用いて低温で行えるので特に熱に弱い半導体素子に有利に適用できる。

【図面の簡単な説明】

【図1】従来のシーリング方法によってパッケージングされた半導体チップの断面図である。

【図2】従来のシーリング方法を概略的に示す工程フローチャートである。

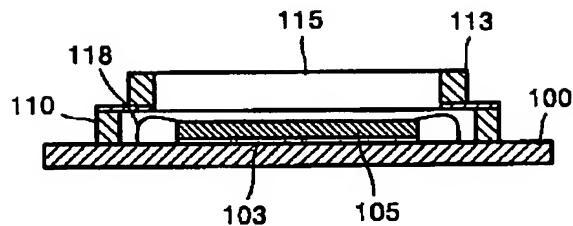
【図3】図3 (A) ないし図3 (E) は、本発明に係るウェーハレベルハーメチックシーリング方法を示す図面である。

【図4】本発明に係るウェーハレベルハーメチックシーリング方法を示す工程フローチャートである。

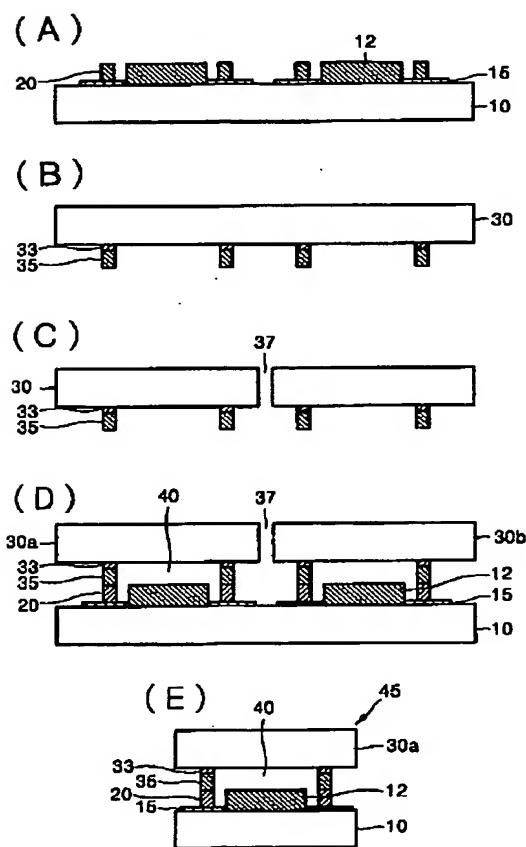
【符号の説明】

- 10 ウェーハ
- 12 半導体素子
- 15 電気コネクタ
- 30 リッドウェーハ
- 20、33 接合補助部
- 35 接合部
- 37 電気接続用ホール
- 40 空洞
- 45 チップ

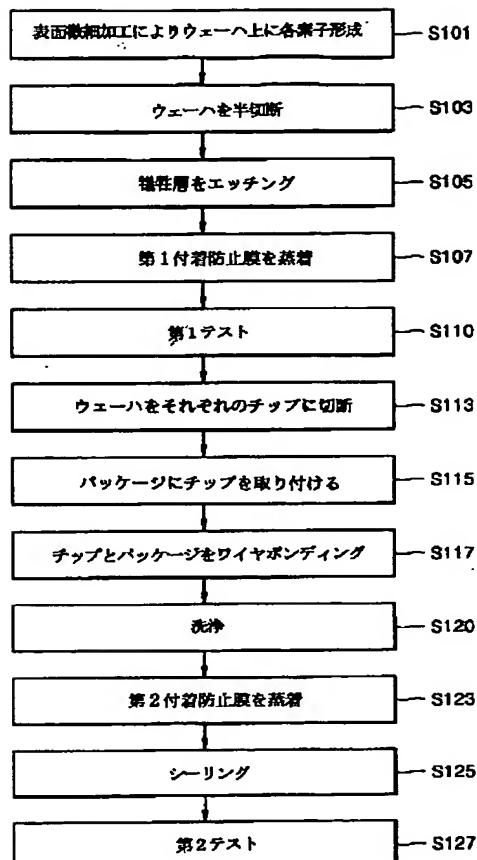
【図1】



【図3】



【図2】



【図4】

